

IC 半导体封装测试流程

第 1 章 前言

1.1 半导体芯片封装的目的

半导体芯片封装主要基于以下四个目的[10, 13]:

- 防护
- 支撑
- 连接
- 可靠性

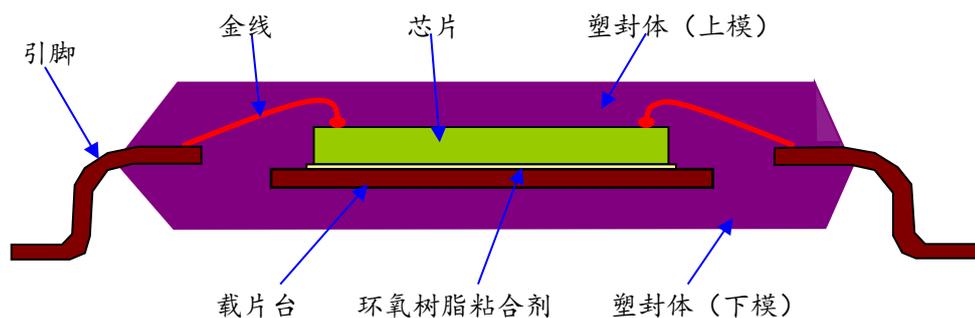


图 1-1 TSOP 封装的剖面结构图

Figure 1-1 TSOP Package Cross-section

第一，保护：半导体芯片的生产车间都有非常严格的生产条件控制，恒定的温度（ $230 \pm 3^\circ\text{C}$ ）、恒定的湿度（ $50 \pm 10\%$ ）、严格的空气尘埃颗粒度控制（一般介于 1K 到 10K）及严格的静电保护措施，裸露的装芯片只有在这种严格的环境控制下才不会失效。但是，我们所生活的周围环境完全不可能具备这种条件，低温可能会有 -40°C 、高温可能会有 60°C 、湿度可能达到 100%，如果是汽车产品，其工作温度可能高达 120°C 以上，为了要保护芯片，所以我们需要封装。

第二，支撑：支撑有两个作用，一是支撑芯片，将芯片固定好便于电路的连接，二是封装完成以后，形成一定的外形以支撑整个器件、使得整个器件不易损坏。

第三，连接：连接的作用是将芯片的电极和外界的电路连通。

引脚用于和外界电路连通，金线则将引脚和芯片的电路连接起来。载片台用于承载芯片，

环氧树脂粘合剂用于将芯片粘贴在载片台上，引脚用于支撑整个器件，而塑封体则起到固定及保护作用。

第四，可靠性：任何封装都需要形成一定的可靠性，这是整个封装工艺中最重要衡量指标。原始芯片离开特定的生存环境后就会损毁，需要封装。芯片的工作寿命，主要取决于对封装材料和封装工艺的选择。

1.2 半导体芯片封装技术的发展趋势

- 封装尺寸变得越来越小、越来越薄
- 引脚数变得越来越多
- 芯片制造与封装工艺逐渐融合
- 焊盘大小、节距变得越来越小
- 成本越来越低
- 绿色、环保

以下半导体封装技术的发展趋势图[2,3,4,11,12,13]:

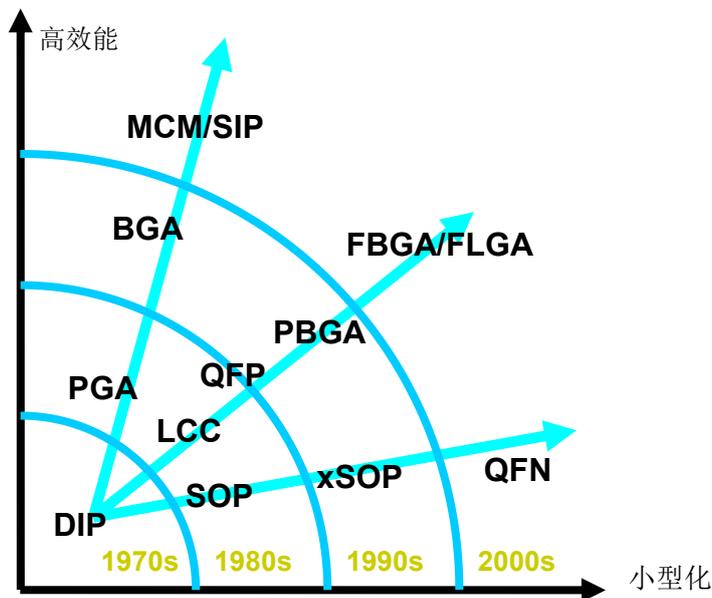


图 1-2 半导体封装技术发展趋势

Figure 1-2 Assembly Technology Development Trend

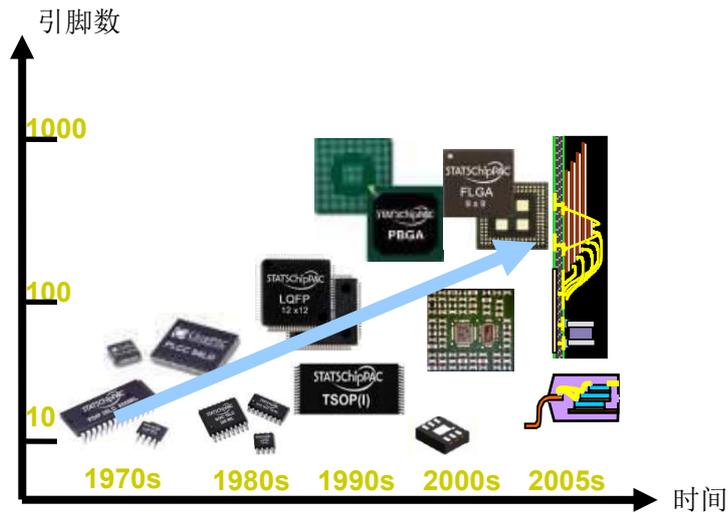


图 1-2 (续) 半导体封装技术发展趋势

Figure 1-2(Continue) Assembly Technology Development Trend

注：

1. xSOP 是指 SOP 系列封装类型，包括 SSOP/TSOP/TSSOP/MSOP/VSOP 等。
2. 3D 是目前用于简称叠层芯片封装的最常见缩写。

TSOP 封装技术出现于上个世纪 80 年代，一出现就得到了业界的广泛认可，至今仍旧是主流封装技术之一。TSOP 是“Thin Small Outline Package”的缩写，意思是薄型小尺寸封装。其封装体总高度不得超过 1.27mm、引脚之间的节距 0.5mm。TSOP 封装具有成品率高、价格便宜等优点，曾经在 DRAM 存储器的封装方面得到了广泛的应用[14]。

从本世纪初开始，国外主要的半导体封装厂商都开始了叠层芯片（3D）封装工艺的研究，几乎涉及到所有流行的封装类型，如 SIP、TSOP、BGA、CSP、QFP，等等。

2005 年以后，叠层芯片（3D）封装技术开始普及。2007 年，我们将看到两种全新的封装类型，PiP（Package in Package）及 PoP（Package on Package），它们就是叠层芯片（3D）封装技术广泛应用的结果。

1.3 叠层芯片封装技术概述

叠层芯片封装技术，简称 3D，是指在不改变封装体的尺寸的前提下，在同一个封装体内于垂直方向叠放两个或两个以上的芯片的封装技术，它起源于快闪存储器（NOR/NAND）及 SDRAM 的叠层封装。叠层芯片封装技术对于无线通讯器件、便携器件及存储卡来讲是最理想的系统解决方案。近年来，手机、PDA、电脑、通讯、数码等消费产品的技术发展非常快，这此行业的迅猛发展需要大容量、多功能、小尺寸、低成本的存储器、DSP、ASIC、RF、

MEMS 等半导体器件，于是叠层芯片技术于近几年得到了蓬勃发展[1]。

3D 封装技术的有以下几个优点：

- 多供能、高效能
- 大容量高密度，单位体积上的功能及应用成倍提升
- 低成本

例如，DRAM/NAND，为了增大单个器件的存储容量，一个通常的做法就是减小芯片的线宽、采用集成度更高的工艺，使得单芯片的容量增长。不过，减小线宽，一是带来晶圆带来生产成本的上升，二是技术难度也会相应加大。如果提高封装密度，即采用叠层芯片封装技术，同样可以将单个器件的容量成倍提升，但是生产成本的上升、工艺难度都比前者低，这就是为什么需要发展叠层芯片封装工艺的根本原因。在一个封装体内放入两个芯片就可以将单个器件的容量提高一倍，这种方法要比我们提高集成度要简单得多。举个例子，假如采用 57nm 工艺的单芯片的容量是 1G，如果提升到 2G 则需要使用 45nm 的集成度，但是，目前市场上有大量的 2G SD 卡出售并未采用 45nm 的工艺，这就是得益于叠层芯片封装技术，即在一个器件内封装入两个芯片。当然，如果将提高芯片的集成度结合叠层芯片技术，则就能得到更高的单个器件容量。

1.4 TSOP 叠层芯片技术研究和重要性和意义

TSOP 封装曾经广泛应用于早期的动态随机存储器（DRAM）中。由于 TSOP 封装的信号传输长度较长、不利于速度提升，容积率只有 TinyBGA 的 50%，在 DDR/DDR2 内存封装中被 TinyBGA 所取代。但是，随着 NAND 快闪存储器的兴起，它重新焕发了生机。

根据 IC Insight 所公布的报告，2005 年 NAND 快闪存储器的增长率达 64%，其增长率是整个半导体市场 4% 的增长率的 16 倍。2006 年 NAND 快闪存储器的增长率虽然放缓，但仍高达 30% 左右，是 2006 年整个半导体市场的增长率 8% 的 3 倍多。根据市场调查机构 DRAMeXchange 的最新的 2007 年第三季 NAND Flash 营收市场占有率报告，NAND Flash 品牌厂商在 2007 年第三季整体营收表现抢眼，逼近 39 亿美元，比第二季成长 36.8%。NAND 的市场增长率远大于整个半导体市场的增长率，所以与 NAND 相关的主要封装类型 TSOP 及 SiP 的会继续高速增长。正是基于强劲的市场需求，所以大力发展 TSOP 叠层芯片封装就显得十分重要。

对 NAND 而言，其两大主流封装形式是 SiP 及 TSOP。SiP 的优点是一次成形，封装完成即是成品，不需要 SMD。和 SiP 相比，TSOP 则更具有柔韧性，因为 TSOP 可能通过 SMD 制作成 SD 卡、Mini SD 卡、CF 卡或是集成到 MP3/MP4、SDRAM 中，而 SiP 则不具有这种特点，SiP 一旦完成组装，它就是成品了、不能再根据市场需求来进行调整。

和另一种同样可以通过 SMD 组装的 PBGA 封装形式相比，TSOP 具有非常明显的成本优势。正是因为 TSOP 的成本优势，半导体业的巨头 Intel 将它的 NAND/NOR PBGA 封装转成了 TSOP 封装。而且，Intel 还通过和 Micron 的合资公司 IMFT(IM Flash Technology)，大力推进 NAND TSOP 的生产。据称，苹果电脑公司目前在 iPod 中使用的 NAND 闪存芯片占全部 NAND 闪存芯片产量的 20%。作为闪存定单，苹果电脑公司已经同意支付 5 亿美元平分给英特尔公司和美光科技公司，2007 年合资公司生产的 25% 的 NAND 闪存将提供给苹果电脑公司。

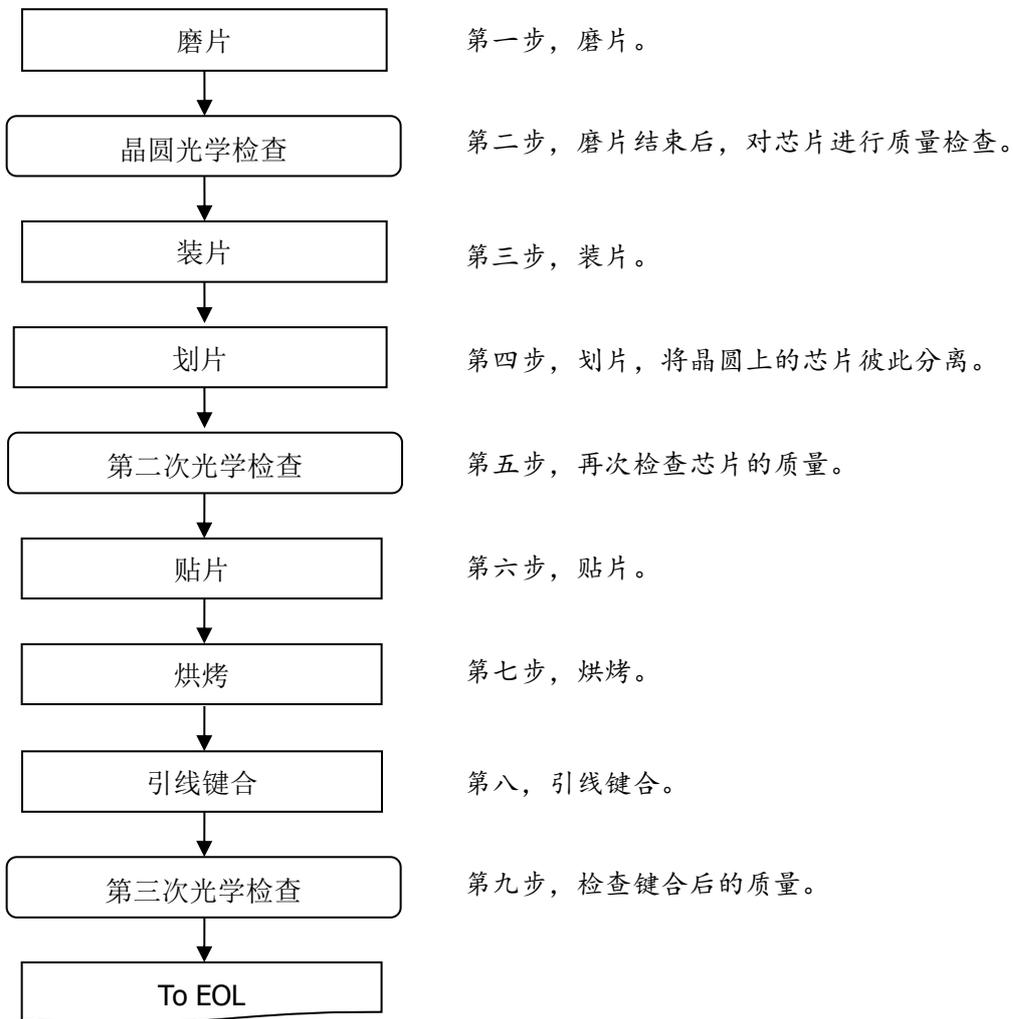
TSOP 封装的封装材料成本大概占总成本的 55%，如果采用叠层芯片封装，封装成本增加主要是金线和环氧树脂芯片粘合，因此只需要增加少量成本就能将单位封装体积上的功能及应用成倍提升，不光如此，它还带来后道工序的成本降低。

叠层芯片技术是一项非常重要的技术，它的兴起带了封装技术的一场革命。因此，TSOP 叠层芯片封装技术的研究有十分深远的历史及现实意义。

第 2 章 单芯片 TSOP 封装技术介绍

芯片封装工艺分为两段，分别叫前道（Front-of-line, FOL）和后道（End-of-line, EOL），前道（FOL）主要是将芯片和引线框架（Leadframe）或基板（Substrate）连接起来，即完成封装体内部组装。后道（EOL）主要是完成封装并且形成指定的外形尺寸[7]。

2.1 前道生产工艺



下面，用示意图来简单介绍主要的加工工艺：

1. 晶圆(wafer):

图-3 展示了一个从晶圆厂(Wafer Fab)出来的晶圆，上面布满了矩形的芯片，有切割槽的痕迹。

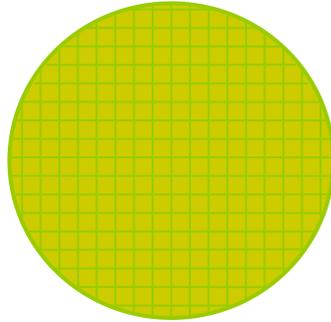


图 2-1 晶圆示意图

Figure 2-1 Wafer

2. 磨片(Backgrinding):

晶圆出厂时，其厚度通常都在 0.7mm 左右，比封装时需要的厚度大很多，所以需要磨片。

图-4 是磨片工艺示意图，晶圆被固定在高速旋转的真空吸盘工作台上，高速旋转的砂轮从背面将晶圆磨薄，将晶圆磨到指定的厚度。通常，TSOP 单芯片封装的晶圆厚度为 0.28mm 左右。

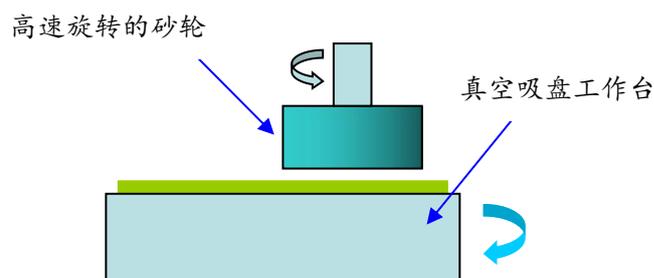


图 2-2 晶圆背面剪薄工艺示意图

Figure 2-2 Backgrinding Process

3. 装片(Wafer Mount):

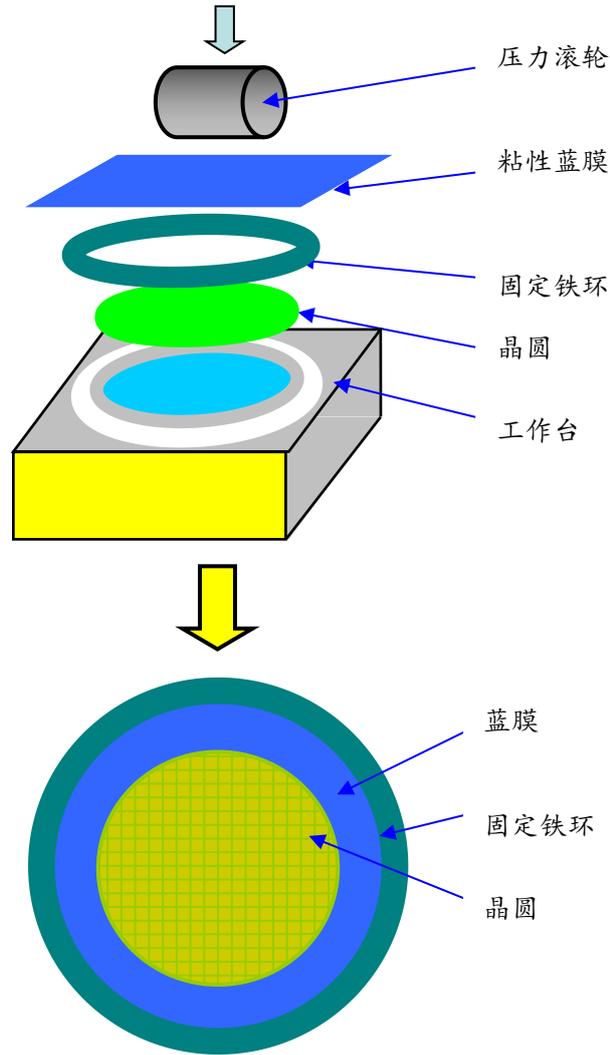


图 2-3 装片工艺示意图

Figure 2-3 Wafer Mount

图-5 装片工艺，上图展示了如何将晶圆粘贴到粘性蓝膜上。首先将晶圆正面朝下固定在工作台的真空吸盘上，然后铺上不锈钢晶圆固定铁环 (Wafer Ring)，再在铁环上盖上粘性蓝膜 (Blue Tape)，最后施加压力，把蓝膜、晶圆和铁环粘合在一起。

图-5 下图展示了将晶圆固定在铁环上以后的情况：中央的晶圆被固定在蓝膜上，蓝膜被固定在不锈钢铁环上，以便后续工序加工。

4. 划片(Die Sawing):

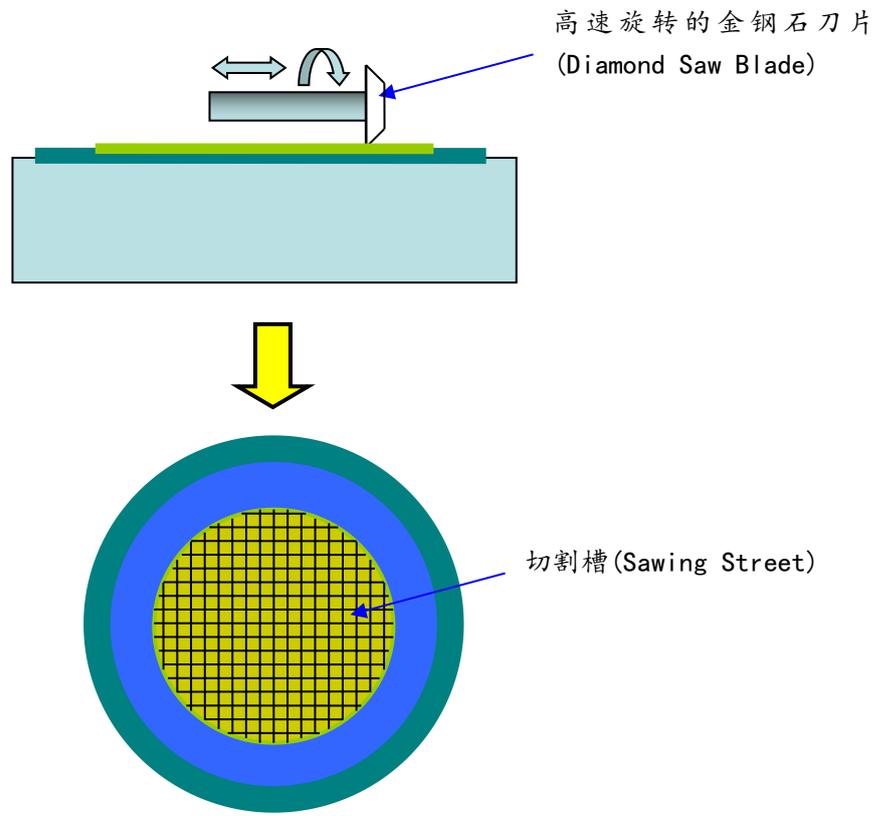


图 2-4 划片工艺示意图
Figure 2-4 Wafer Sawing

图-6 划片工艺，上图表示高速旋转的金刚石刀片在切割槽中来回移动，将芯片分离。图-6 下图是完成切割的晶圆，芯片被沿着切割槽切开。

5. 贴片(Die Attach):

图-7a, 芯片粘贴工艺, 第一步:

顶针从蓝膜下面将芯片往上顶、同时真空吸嘴将芯片往上吸, 将芯片与膜蓝脱离。

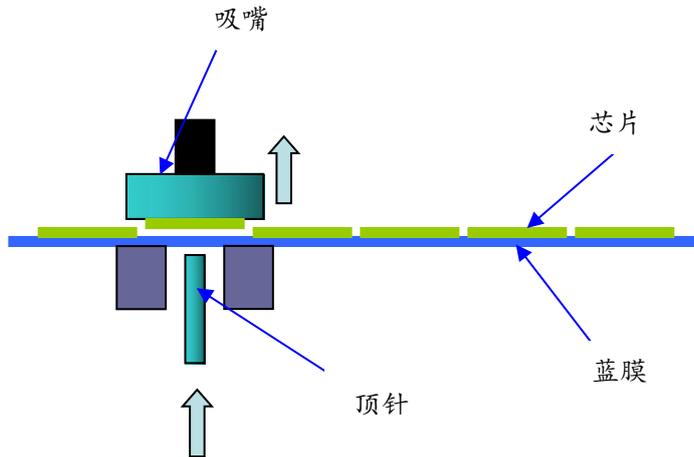


图 2-5a 贴片工艺示意图

Figure 2-5a Die Attach Process

图-7b, 芯片粘贴工艺, 第二步:

将液态环氧树脂涂到引线框架的台载片台上。

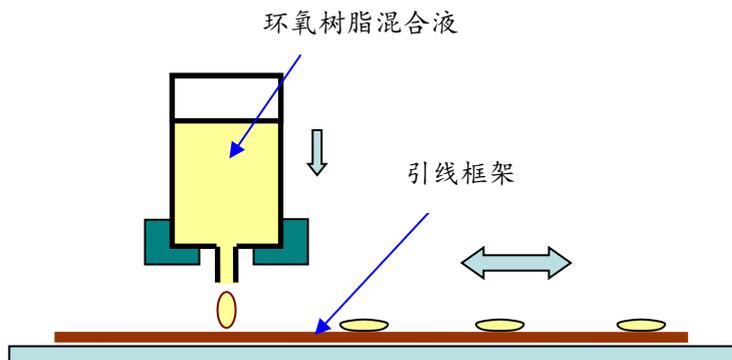


图 2-5b 贴片工艺示意图

Figure 2-5b Die Attach Process

图-7c, 芯片粘贴工艺, 第三步:
将芯片粘贴到涂好环氧树脂的引线框架上。

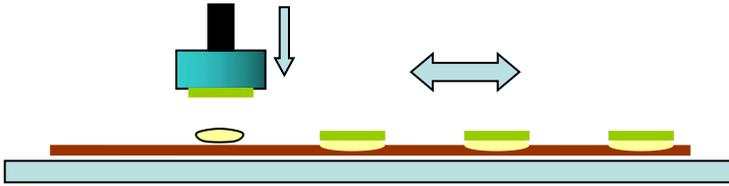


图 2-5c 贴片工艺示意图
Figure 2-5c Die Attach Process

6. 引线键合(Wire Bonding):

图-8 是用金线将引线框架的引脚和芯片的焊盘连接起来以后的示意, 上图是截面图, 下图俯视图。

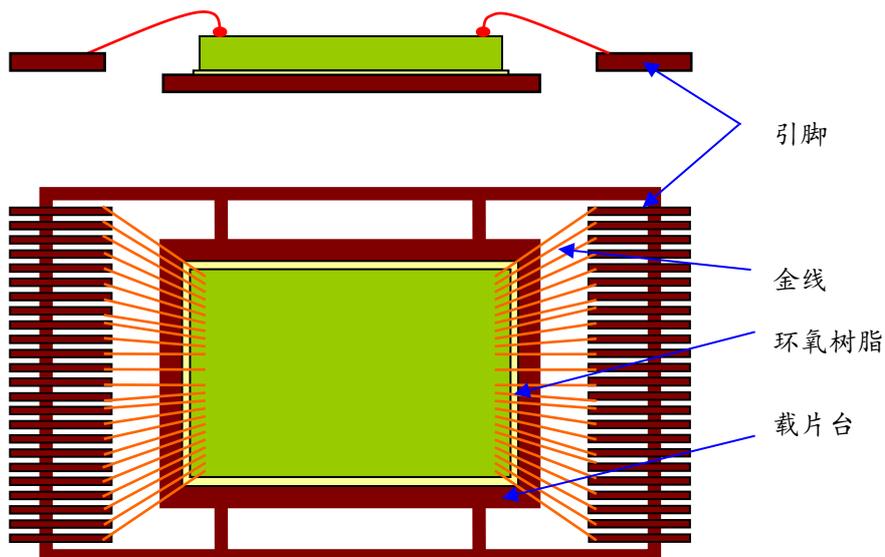
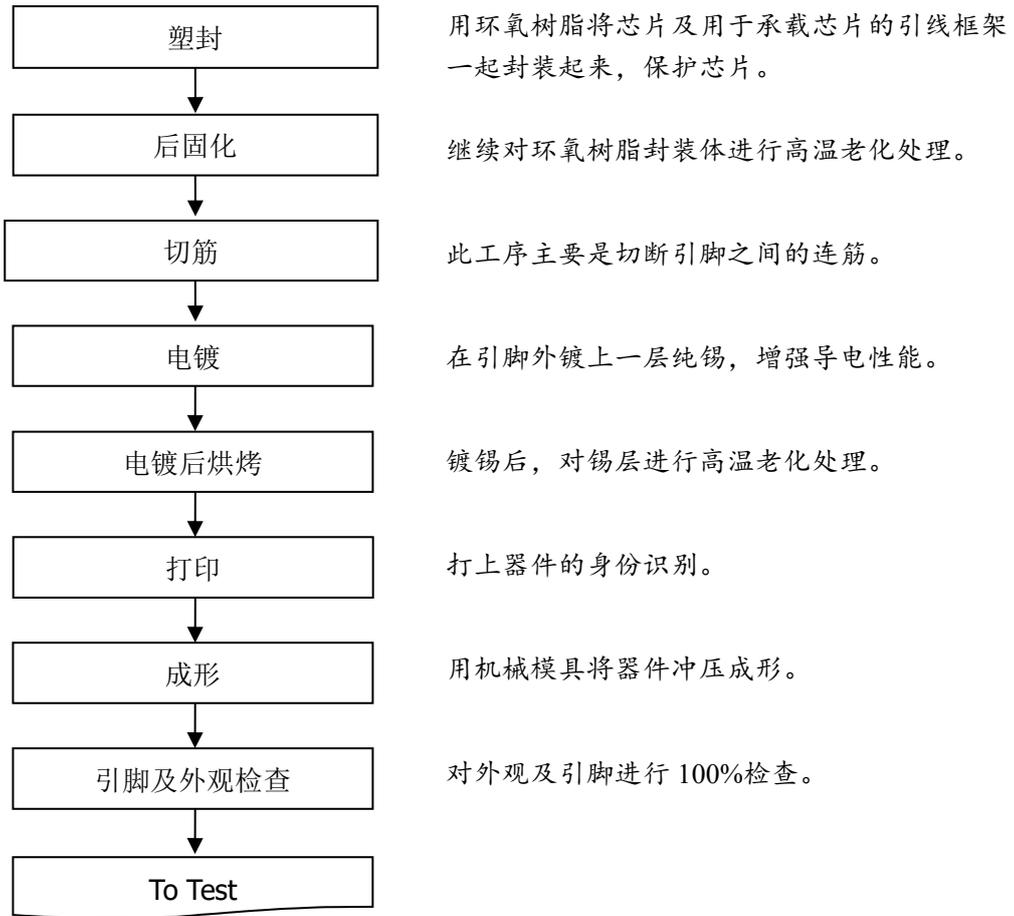


图 2-6 芯片完成焊接后的示意图
Figure 2-6 After Wire Bonding

有关引线键合部份的工艺介绍, 请参见 4.3。

2.2 后道生产工艺：



1. 塑封(Molding):

塑封是用环氧树脂将芯片及用于承载芯片的引线框架一起封装起来，保护芯片，并形成一定等级的可靠性。

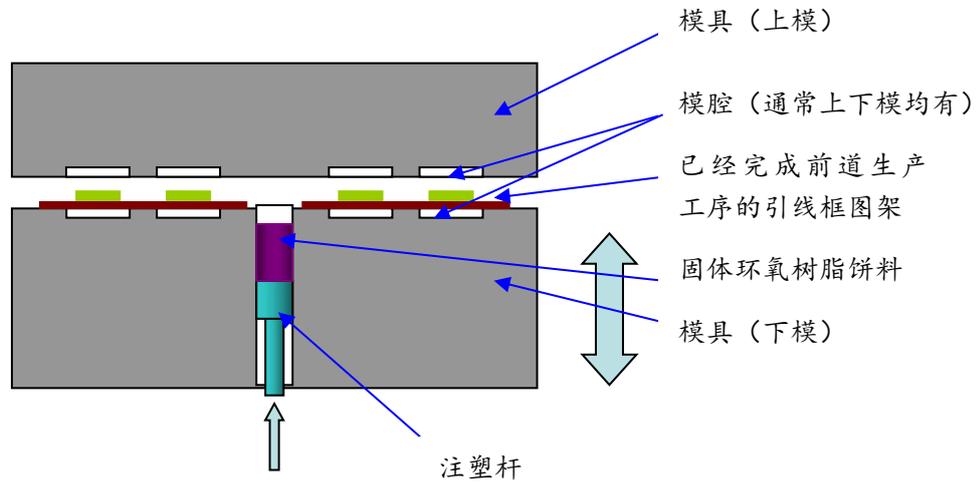


图 2-7a 封装工艺示意图
Figure 2-7a Molding Process

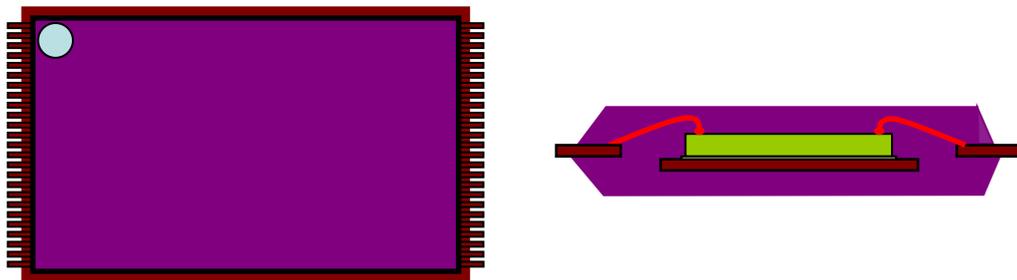


图 2-7b 封装工艺示意图
Figure 2-7b Molding Process

图-9a 展示了塑封工序的工作原理。模具分成上下模，模具上有根据封装体尺寸所预先定好的模腔，其工作温度在通常在 165-185℃ 范围内。将需要封装的引线框架放置到模具上，然后放入固体环氧树脂饼料，再合上模具并施加合模压力（至少在 30 吨以上）。合模后，给注塑杆上施加压力，环氧树脂在高度高压下开始液化，于是在注塑杆的作用下，环氧树脂被挤入模腔中。由于环氧树脂的特性是先液化再固化，于是在被挤入腔中后，它将再次固化，形成我们所需要的外形尺寸。

图-9b 是注塑完成以后的示意，左图是俯视图，右图剖面图。

2. 切筋(Trim):

图-10 是切筋以后的情况，对比图-9b 我们可以发现，引脚之间的连筋已经没有了。切筋的作用是将引脚之间的连筋切开，以方便成形工艺。



图 2-8 切筋工艺示意图

Figure 2-8 Trim Process

3. 电镀(Plating):

图-11 是电镀以后的情况，对比图-10 我们可以发现，引脚之间的颜色有了变化。电镀的作用是增强导电性能。

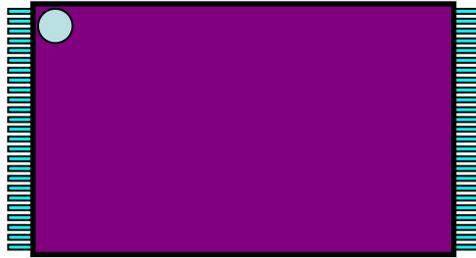


图 2-9 电镀工艺示意图
Figure 2-9 Plating Process

4. 成形(Form):

图-12 成形工艺示意图，引脚的外形是由冲压模具来完成，器件被固定在模具上，刀具从上往冲压成形，然后将器件与引线框架分离，得到图-1 中的外形。成形工艺是半导体封装的最后一步，其外形尺寸有严格的行业标准，TSOP 封装的具体尺寸请参见 JEDEC MO-142, THIN SMALL OUTLINE PACKAGE FAMILY TYPE I, 现行标准公布于 2000 年 7 月[5]。TSOP 封装的总高度不得超过 1.27mm、引脚节距 0.5mm, 塑封体厚度为 1.0mm, 目前最流行的 TSOP48 的长 X 宽=12X20。

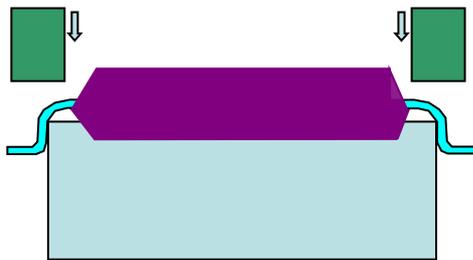


图 2-10 成形工艺示意图
Figure 2-10 Form Process

第 3 章 实验环境、设备及材料

实验环境为温度 23+/-3 摄氏度、湿度 50+/10%。

表-1 是实验设备清单，表-2 是实验材料清单。

表 3-1 实验采用的设备清单

工艺	设备	单芯片封装	叠层芯片封装
磨片(B/G)	磨片机	DISCO DFG-850	TSK PG300
装片(W/M)	装片机	TAKATORI ATM-8100	TSK PG300
划片(D/S)	划片机	DISCO DFD640/651	TSK A-WD-300, DISCO DFD6361, DISCO DFD651
贴片(D/A)	贴片机	ESEC2007/2008HS	ESEC2008 XP
		ASM AD889	ASM AD8912
引线键合(W/B)	金线焊接机	SHINKAWA UTC-250	SHINKAWA UTC1000/2000
		K&S 8028	K&S8028 PPS 及以上型号

表 3-2 实验采用的材料清单

工艺	材料类型	单芯片封装	叠层芯片封装
装片(W/M)	贴片胶带	蓝膜	蓝膜或环氧树脂薄膜胶带 (Epoxy Film Tape)
贴片(D/A)	环氧树脂	混合银浆	混合银浆及环氧树脂薄膜 (Epoxy Film)
贴片(D/A)	引线框架	铜引线框架	铜引线框架或合金引线框架
引线键合(W/B)	金线	纯度 99.99% 金线	
塑封(MOLD)	塑封料	住友电木, EME-G700	住友电木, EME-G700V
电镀(PLATING)	电镀溶液	纯锡电镀液	

第 4 章 TSOP 叠层芯片封装技术的实现

首先介绍叠层芯片封装的识别，比如，“TSOP2+1”就是指一个 TSOP 封装体内有两个活性芯片（Active Die）、一个空白芯片（Spacer），“VFBGA3+0”，那就是说一个 VFBGA 封装体内有三个活性芯片、没有空白芯片，以此类推。

下图是最典型的 TSOP2+1 的封装形式剖面图，上下两层是真正起作用的芯片，中间一层是为了要给底层芯片留出焊接空间而加入的空白芯片。空白芯片由单晶硅制成，里面没有电路。

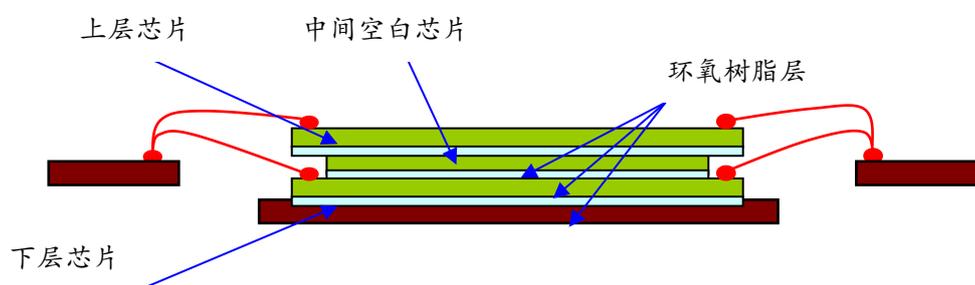


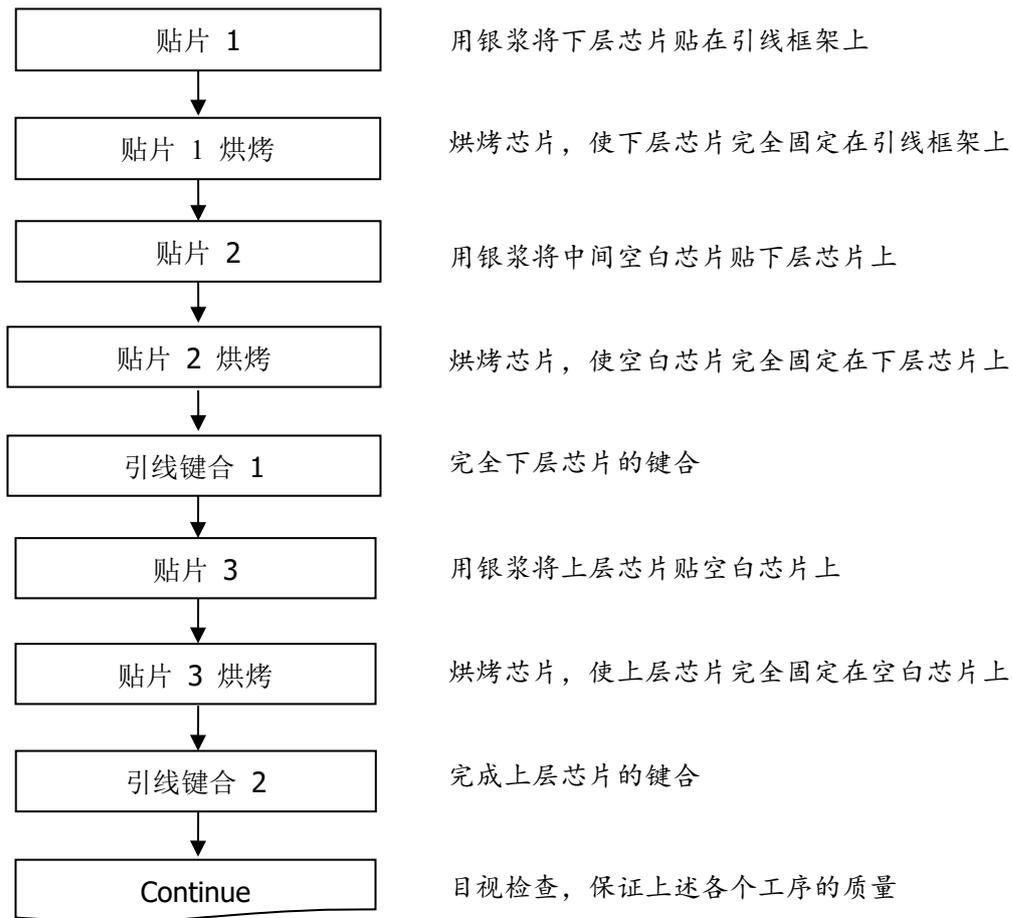
图 4-1 TSOP2+1
Figure 4-1 TSOP2+1

4.1 三种实现叠层芯片的封装的工艺

叠层芯片封装技术不改变封装体的尺寸，因此后道生产工艺不会有改变，我所有的研究都集中在对前道生产工艺的改进。下面，我以简单两层芯片的 TSOP2+X 为例，介绍对前道生产工艺完成的研究。

4.1.1 第一种方法，TSOP2+1，使用多次重复单芯片的工艺

通过实验，我发现可以通过重复单芯片的工艺来实现叠层芯片的封装，其工艺流程如下 [8]:



采用重复传统的单芯片生产工艺实现叠层芯片封装时，只需要在贴片(D/A)及引线键合(W/B)两道工序之间往返即可。上述的 TSOP2+1，需要三次贴片(D/A)、两次引线键合(W/B)。

第一种方法，看似非常简单，其实不然。液态环氧树脂的流动性较强，非常容易扩散，经常出现树脂层不均匀，因此需要非常好的液态环氧树脂喷涂机构，而且，它还有一个非常致命的缺陷，即容易在封装完成后出现芯片破裂(Die Crack)，并且这种芯片破裂只会出现在叠层芯片封装中。

关于芯片破裂的解决方案，我将在 4.2 中阐述。

4.1.2 第二种方法，TSOP2+1，使用环氧树脂薄膜作为芯片贴合剂

由于液态环氧树脂有流动性强、不易受控的缺点，为了解决这个问题，于是我又尝试改变原材料的形态，用固态环氧树脂薄膜替代液态环氧树脂。下图是使用固态环氧树脂薄膜胶带替代普通蓝膜后装片工序的情形，薄膜胶带上的白色圆盘即固态环氧树脂薄膜，其尺寸比晶圆直径稍大。装片完成后，环氧树脂薄膜就已经和芯片粘在了一起：

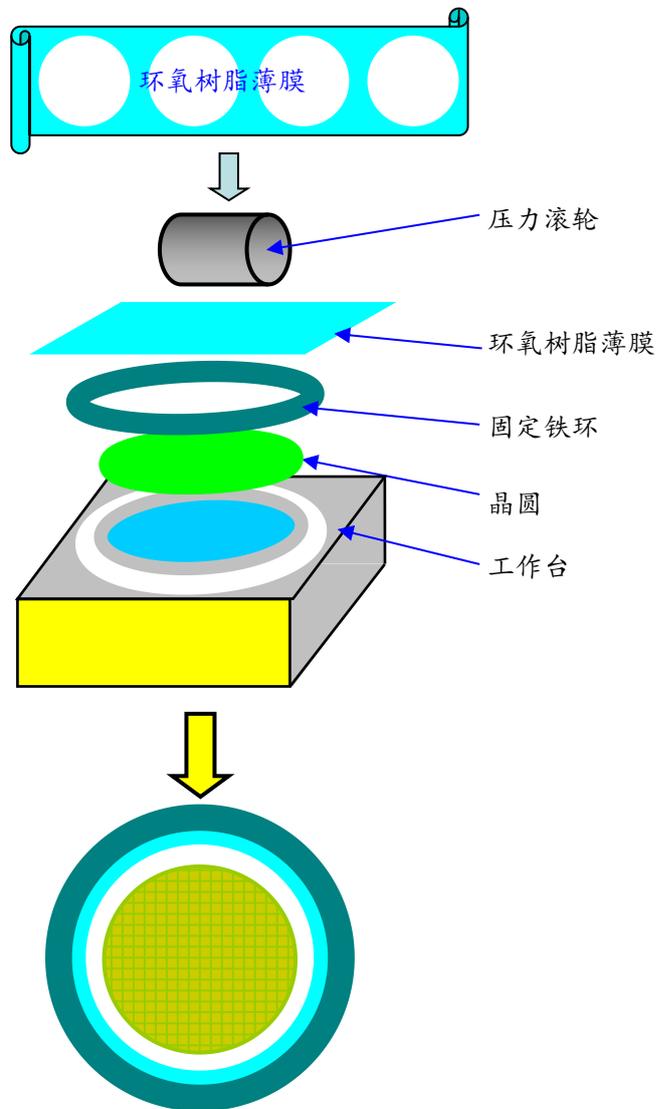
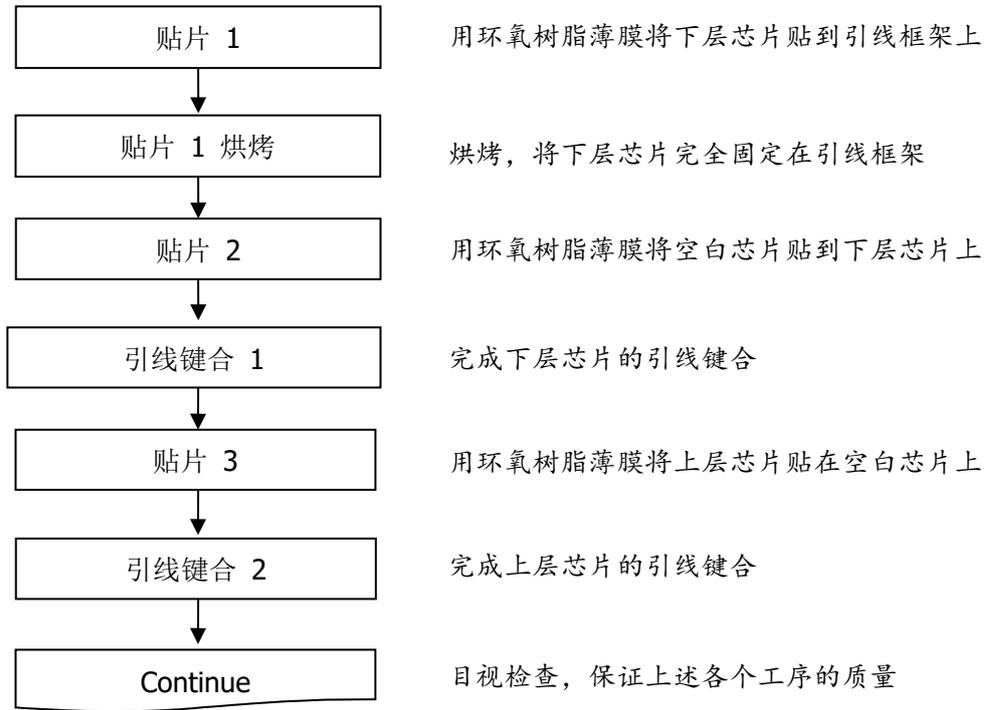


图4-2 采用环氧树脂薄膜时的装片工艺示意图
Figure 4-1 Epoxy Film Tape Wafer Mount Process

用固态环氧树脂薄膜替代液态环氧树脂混合液，其好处是在贴片工序时我们只需要将芯片贴到引线框架上，不需要喷涂液态环氧树脂，这就大大简化了工艺。

工艺流程如下[8]:



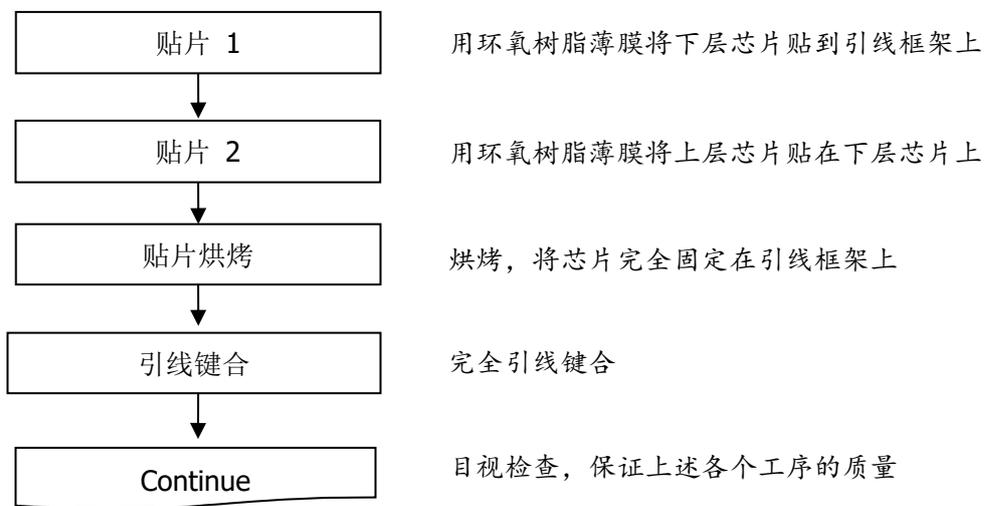
在第一种方法中，为了增加环氧树脂和引线框架之间或芯片的粘结力，每完成一次贴片之后都需要烘烤。但是，第二种方法，由于固态环氧树脂薄膜和芯片之间的粘结力已经足够，只需要做一次烘烤即可，生产工艺简单、生产周期比第一种方法短，而且，由于多次烘烤会造成引线框架氧化及芯片粘污，烘烤次数减少对提高成品率和减少可靠性失效也很有好处。

4.1.3 第三种方法，TSOP2+0

为了进一步简化工艺，于是，在第二种方法的基础上，通过改变芯片的焊盘布局、将焊盘都放置在芯片的一端，去掉中间的空白芯片，于是得到了第三种方法，如下图所示，仅一端有焊线[8]。



图 4-3 TSOP2+0
Figure 4-3 TSOP2+0



第三种方法，如果贴片机可以同时完成多次贴片，则工序就更加简单，和单芯片封装一样、仅需要一次贴片、一次引线键合，而且，由于不需要液态环氧树脂的喷涂机构，贴片工序甚至比单芯片封装还好简单。这样的改进，使得叠层芯片封装的优势非常明显：工艺简单、成本低、成品率高、易于推广。

4.1.4 三种方法的对比

通过反复实验对比，对上述三种实现两芯片叠层（TSOP2+X）封装工艺的优缺点总结如下：

表 4-1 三种工艺的对比

叠层芯片工艺	贴片工艺难度	键合工艺难度	成品率	生产周期	单颗封装成本	其它
采用传统工艺，使用液态银浆作为芯片粘合剂	难	难	低	长	低	不需要改变芯片制作工艺
采用环氧树脂薄膜作为粘合剂，两次引线键合	简单	难	一般	一般	一般	不需要改变芯片制作工艺
采用环氧树脂薄膜作为粘合剂，一次引线键合	简单	简单	高	短	低	需要改变芯片焊盘的布局

上述三种叠层芯片的封装工艺，第一种，使用环氧树脂银浆，成本低，但是工艺难度很高、成品率低，成品率能达到 99.5%就几乎不可能再提升了。第二种，虽然环氧树脂薄膜成本高，但是由于环氧树脂薄膜是在装片(W/M)的时候粘贴到芯片背面，不必考虑液态环氧树脂工艺的复杂性，所以工艺比第一种简单、生产周期相应缩短，成品率也较、成品率可达 99.8-99.9%，其缺点是焊接工序比较复杂。第三种，由于只有两次贴片(D/A)、一次引线键合(W/B)，所以不仅工艺简单、成本低，而且成品率极高、可以稳定在 99.90%以上。当然，第三种工艺有局限性，需要改变芯片的制作布局，将焊盘布置在芯片的一端。

第一种方法虽然工艺复杂、成本率低，但是由于液态环氧树脂成本比固态环氧树脂膜薄低，仍然具有其实际推广价值；第三种方法虽然最值得推广，但在实际应用中可能会因为芯片的布局难以改变而不能使用，所以，实际应用广泛采纳的是第二种方法。

4.2 使用液态环氧树脂银浆作为粘合时的芯片破裂(Die Crack)的解决

采用液态环氧树脂银浆作为芯片粘合剂，其最难解决的技术问题是如何解决塑封工序以后的芯片破裂问题，其破裂呈现出网状：

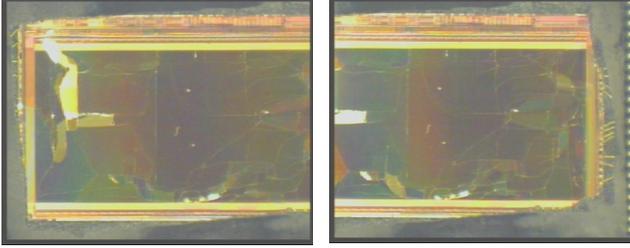


图 4-4 芯片破裂
Figure 4-4 Die Crack Pattern

在单芯片封装中，不会出现这样的芯片，通常我们在单芯片封装中看到大多都是一条或几条裂纹，而且是在贴片工序后我们就能通过目视检查出。而这种多芯片的网状芯片破裂，是出现在塑封（MOLDING）以后而不是贴片工序。

塑封结束后，通常需要采用有损检查（即开盖）才能发现芯片破裂。在这个案例中，开盖检查虽然能发现上层芯片的问题，但是对于下层芯片照样很难看到，所以就很难知道什么情况下会发生芯片破裂，也就很难解决这个问题。

而且，开盖是一种有损检查，采用强酸将芯片上面的环氧树脂腐蚀掉，将芯片重新裸露在外，显然不能用于生产中来。

首先分析这种芯片破裂(Die Crack)发生的机理。

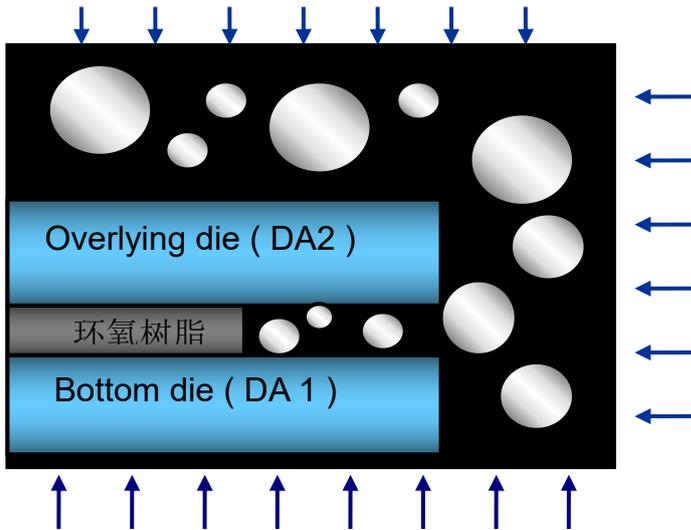


图 4-5 芯片破裂原理示意图

Figure 4-5 Principle of Why Die Crack

在叠层芯片封装中，由于液态环氧树脂的流动性强，所以在贴片工艺中，通常难以保证环氧树脂能够完全充满两层芯片之间的空隙，如上图所示。通常，半导体业界的一般标准是75%和覆盖率就算合格。注塑工序所使用的环氧树脂，主要由25-100um的颗粒组成。通常，我们在贴片(D/A)形成的环氧树脂层的厚度介于12-38um，这就意味着，只有少量小颗粒的注塑工序所使用的环氧树脂混合物可以进入这层空间，而大量大颗粒则只能在外围。于是，在注塑过程中，由于我们在施加很大的压力（通常压强在10MPa左右），由于中间的空隙不能被塑封料填充，于是芯片就在外力的作用下被压碎。这就是使用液态环氧树脂作为芯片粘合剂时为什么会在注塑工序完成后会有网状的芯片破裂(Die Crack)的原因。单芯片封装中，由于芯片度较大，所以即使有空洞，也不会出现芯片破裂。

下面，我具体阐述如何解决这个难题。解决了这个难题，工艺就算成功了。

首先，我需要找到一种比较可行的检测方法。由于超声波扫描是无损检测，可以用于生产中，于是尝试对超声波扫描方式进行改进。通常的超声波扫描，采用的是反射模式，这种方式我们只能得到一个比较清晰的层面：

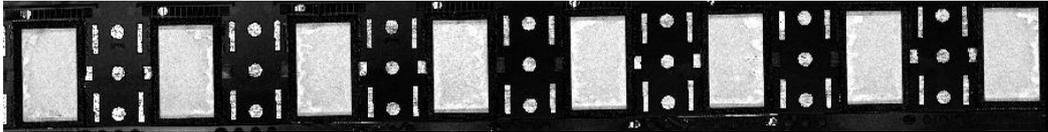


图 4-6 正面超声波扫描图像，反射模式
Figure 4-6 C-Scan Photo, Top

另一种模式、穿透模式，它可以发现可疑点，如下图，凡是有阴影的地方就是可疑点。这种方法虽然不能确认有没有芯片破裂，但是由于其效率高，非常适用中于预警。

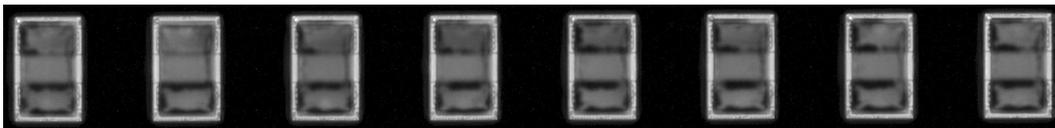


图 4-7 超声波扫描图像，穿透模式
Figure 4-7 Through Scan Photo

最后，通过与公司专业实验室的合作，发现了一种可以检测出芯片破裂的超声波扫描模式，TAMI (Tomographic Acoustic Micro Imaging)，它是一种逐层超声波扫描的方法：

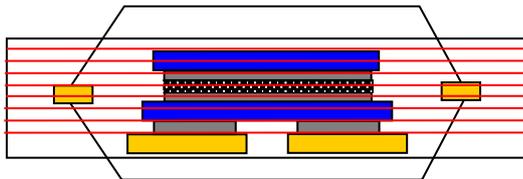


图 4-8 TAMI 扫描原理
Figure 4-8 How TAMI works

下图就是一个用逐层超声波扫描法 (TAMI) 扫描的样图，可以很显看出有网状的芯片破裂：

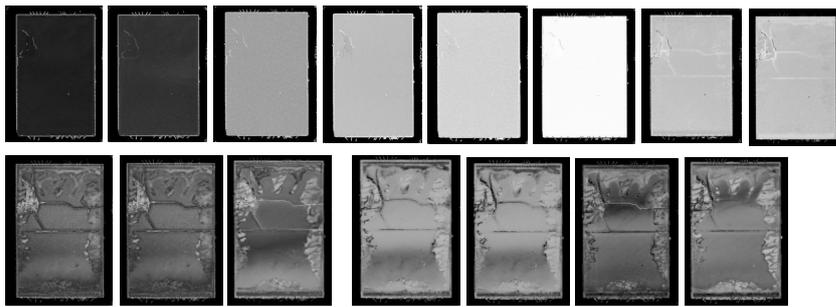


图 4-9 TAMI 扫描样图
Figure 4-9 Sample photo of TAMI

有了检查方法，就可以进行实验，优化工艺控制方法、解决芯片破裂问题。

通过芯片破裂的机理分析，已经知道了出现这种芯片破裂是由于环氧树脂芯片粘合剂有空洞造成的，那么，最基本的方法就是优化工艺方法以控制液态环氧树脂，避免出现空洞。试验研究发现，最重要的对环氧树脂喷涂图案(Pattern)进行优化，好的环氧树脂喷涂图案能得到 95%以上的覆盖率。在尝试了大量的喷涂图案以后，得出了以下三种图案。具体哪一种最好，要结合引线框架、设备能力、芯片尺寸等相关因素，不能一概而论。不过，我推荐使用“米”字型。



图 4-10 推荐使用的环氧树脂图案
Figure 4-10 Recommended Epoxy Pattern

实践证明，芯片底部的环氧树脂覆盖率达到 95%以上时，出现芯片破裂(Die Crack)的机率几乎为 0。

综上所述，解决芯片破裂的方案是：用超声波穿透模式来进行可监测、用 TAMI 对可疑点进行确认、优化环氧树脂图案、控制环氧树脂覆盖率达到 95%以上。

通常，当芯片的厚小于 0.1mm、或芯片的叠放层数超过 3 层时，采用液态环氧树脂银的

贴片工艺的工艺性能将变得极差、不能再使用。

当然，既然液态环氧树脂工艺复杂、容易出现芯片破裂，于是，另一种更彻底更有效的解决方法，就是更换材料，使用环氧树脂薄膜。环氧树脂薄膜的引入，不仅解决了芯片破裂 (Die Crack) 问题，而且由于工艺简单，成品率大提高。对于叠层芯片技术而言，采用环氧树脂膜薄是必然趋势。

4.3 叠层芯片封装技术的引线键合的技术

除了芯片粘贴技术的变革，叠层芯片封装技术的另一个变革是引线键合工艺。

目前的封装技术，除了功率器件以外，大多都采用热超声波金丝球焊工艺。其工作原理是，将引线框架紧固定在加热块上、再施加超声波，在芯片或引脚与金线的结合部位形成金属键。通常，其工作温度范围是 190-210 摄氏度，超声波的频率有 60KHz 和 120KHz 两种，120KHz 主要用于大尺寸 (0.038mm 以上) 的金线。TSOP 封装通常采用 0.025mm 或 0.020mm 的金线。

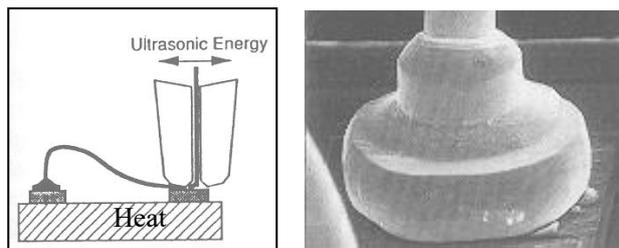


图 4-11 金丝球焊示意图

Figure 4-11 Gold Ball Bond

要成功实现叠层芯片封装工艺，就必须突破现有的引线键合项技术。下图 TSOP 单芯片与叠层芯片的金丝连接示意图，从图中可以直观看出，单芯片时引线是由芯片连接到引脚、线弧的最高点靠近芯片，但是叠层芯片时，由于要在相同的空间内放入多个芯片，显然芯片与芯片之间的间隙很小，引线需要改成从引脚引出连接到芯片、引弧最高点靠近引脚。

通常，单芯片的线弧的最低极限在 0.12mm，为了不使芯片与金线短路、加上线弧的误差，假如采用单芯片的线弧，其芯片之间的间隙至少需要 0.2mm，这个高度显然太高。

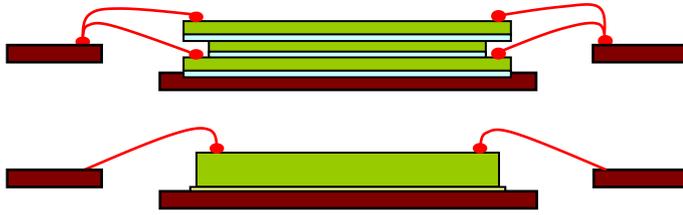
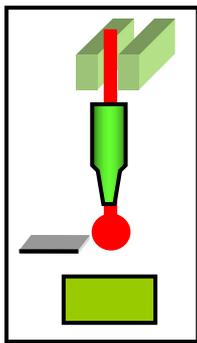


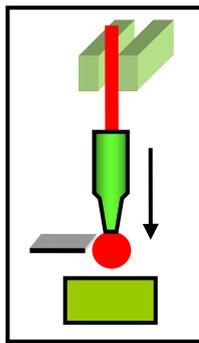
图 4-12 TSOP1+0, TSOP2+1 金丝连接示意图
Figure 4-12 TSOP1+0, TSOP2+1 Gold Ball Bond

4.3.1 正向金丝球焊的步骤

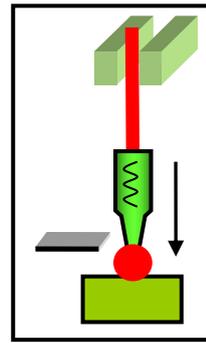
金丝球焊由以下几个工艺步骤构成[9]:



第一步
金丝靠近打火杆，在
金丝端部形成金球。

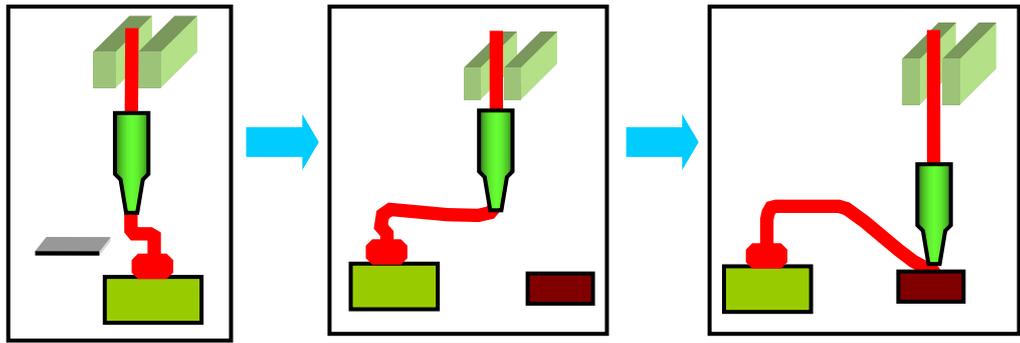


第二步
金球向下，接触焊点
(又称焊盘)。



第三步
通过热超声形成第
一焊点。

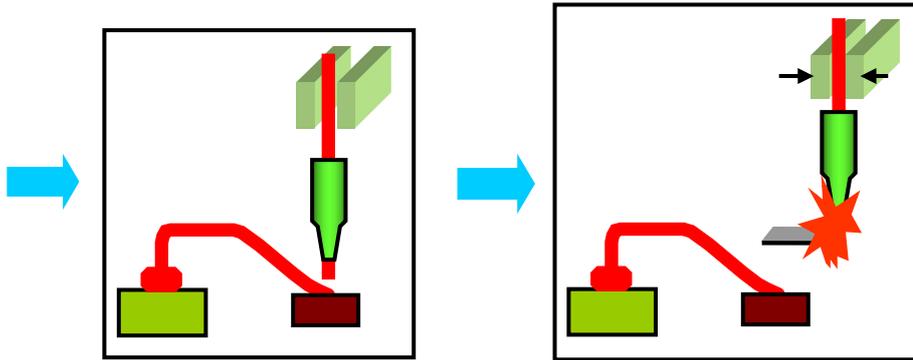




第四步
第一焊点完成，引导金
丝的劈刀向上移动。

第五步
引导金线的劈刀移向二
焊点，形成线弧。

第六步
通过热超声波形成二焊点。



第七步
折断金线，劈刀离开二焊点。

第八步
再次打火，形成金球。

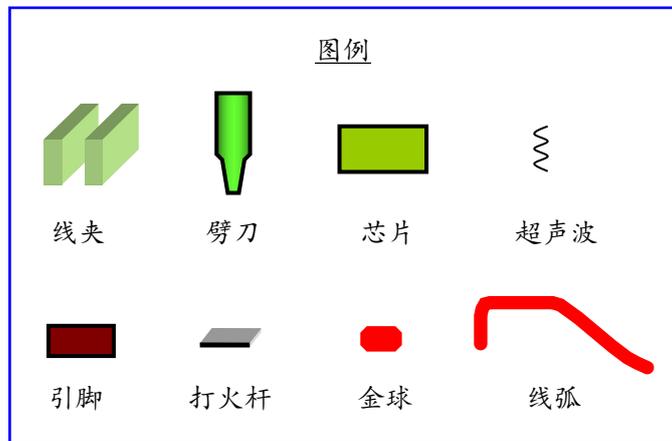
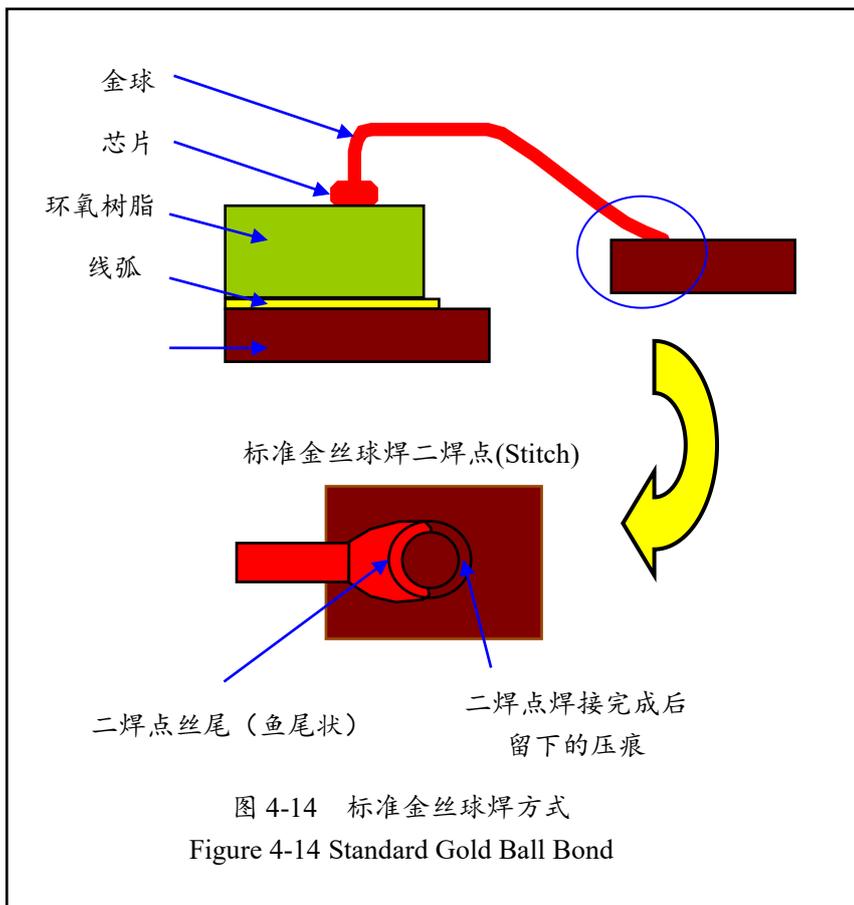


图 4-13 标准金丝球焊工作步骤示意图
Figure 4-13 Standard Gold Ball Bond Process

经过上述步骤的反复，就完成了单芯片封装的金丝球焊工序。

4.3.2 金丝球焊反打方式（SSB）的工艺步骤

叠层芯片的封装工艺技术研究的另一个要点，是如何完成芯片与引线框架的连接。单芯片工艺使用的引线焊接方式（即从芯片到引脚）由于其线弧高度太高显然不适应，需要新的焊接方式。通过实验，我找到了一种新的焊接方法：SSB（Standoff Stitch Bond），成功地解决了引线的焊接问题。SSB 又称反打，即 Reverse Looping，其第二焊点不是在引线框架上，而是在芯片的焊盘上。图-26 是由芯片到引脚的焊接方式，其二焊点在引脚上。图-27 是从芯片到芯片的 SSB 焊接方式，其二焊点和通常的单芯片焊接方式不同，在另一芯片的焊盘上。



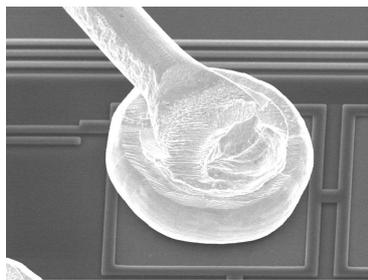
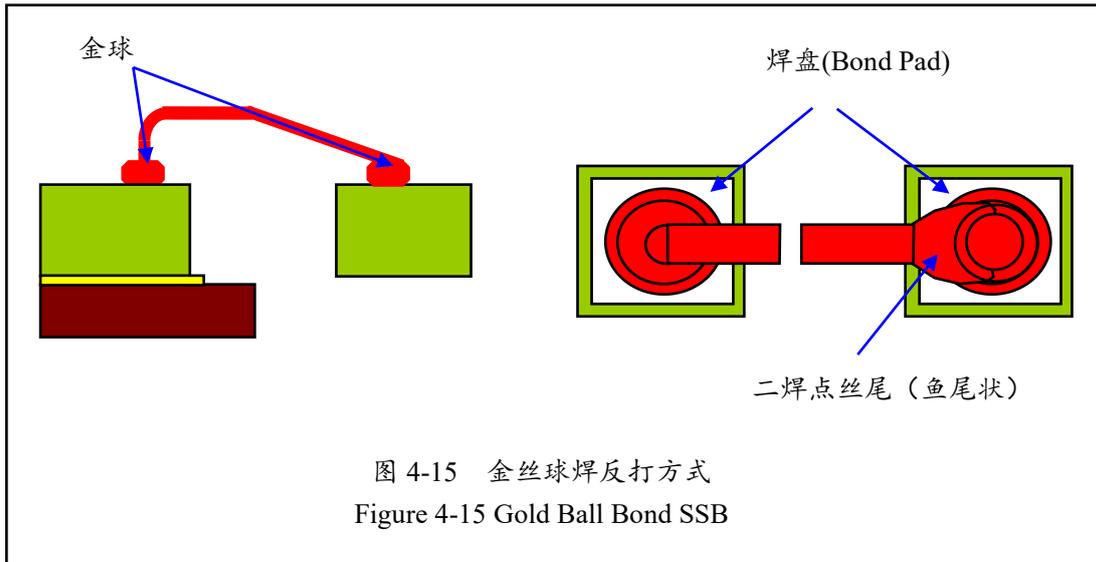
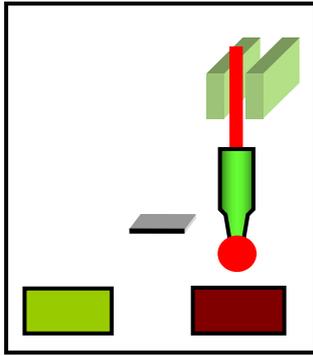


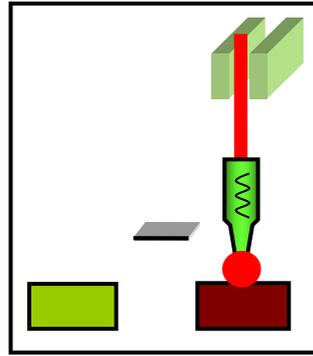
图 4-16 金丝球焊反打方式的二焊点 SEM 照片
Figure 4-16 Gold Ball Bond SSB, Stitch SEM Photo

下面，首先看看 SSB 的焊接步骤：



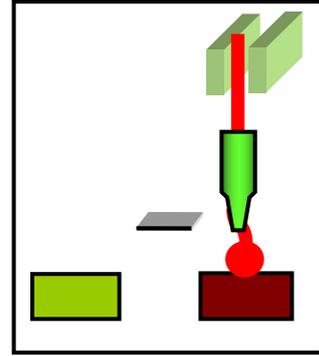
第一步

盘



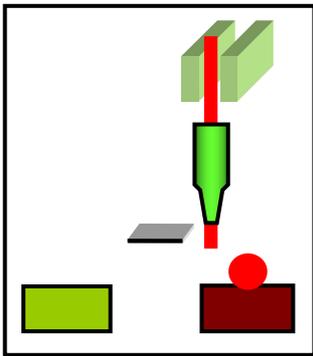
第二步

通过热超声焊接将金球键合在焊盘上



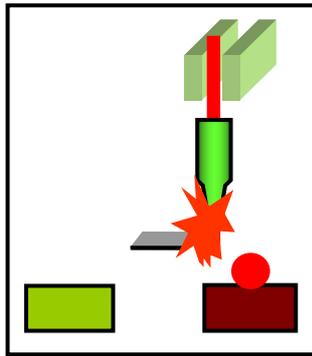
第三步

劈刀抬起。



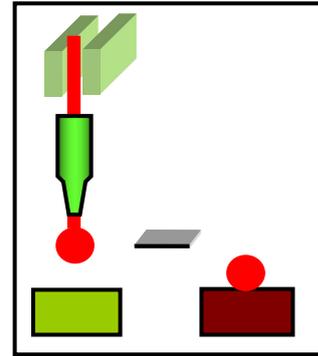
第四步

剪段鑫丝，留下金球。



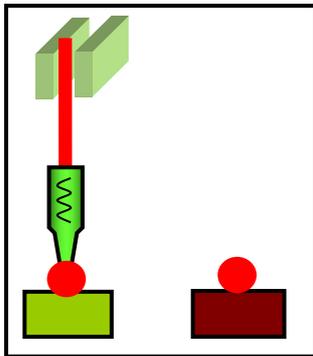
第五步

再次打火，形成金球。



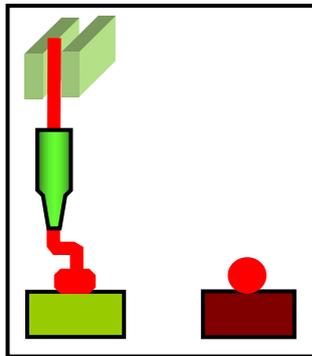
第六步

金球向下，靠近另一焊点（又称焊盘）。



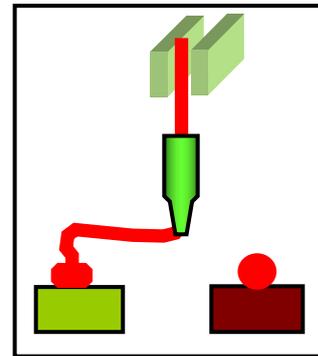
第七步

通过热超声焊接将金球键合在另一焊盘上



第八步

引导金线的劈刀向上移动



第七步

引导金线的劈刀移向二焊点，形成线弧

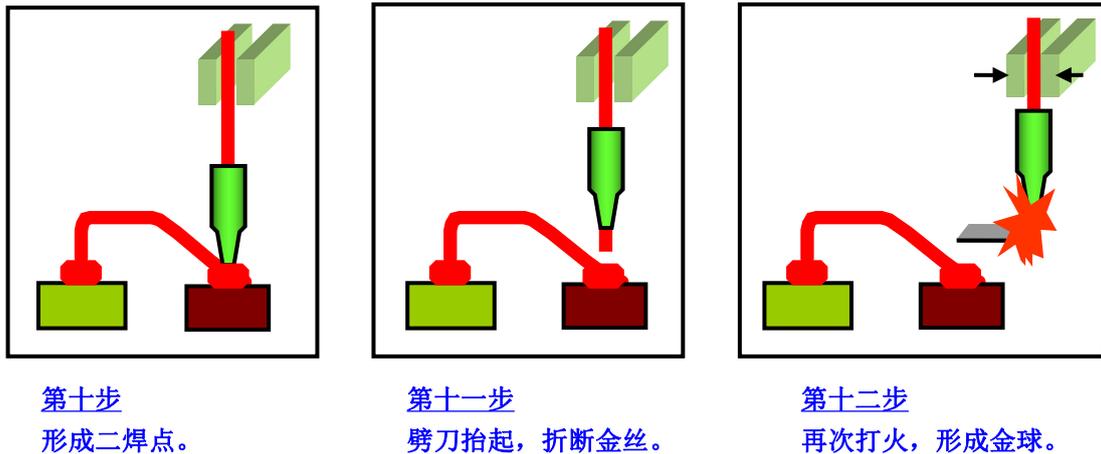


图 4-17 金丝球焊反打方式的步骤
Figure 4-17 Gold Ball Bond SSB Process Steps

SSB 对原有的焊接方式进行了很大扩展，通过在芯片的焊盘上植球，使得原来在线脚上的二焊点可以焊接到另一芯片的焊盘上。SSB 的前 4 步是植球，后 8 步其实就是单芯片的焊接方式。由于有了 SSB 焊接工艺，就可以完成各种复杂的焊接方式。

4.3.3 用金丝球焊反打方式（SSB）完成叠层芯片的引线键合

下面，我以 TSOP3+0 为例，讲解用 SSB 完成 TSOP3+0 的连接。

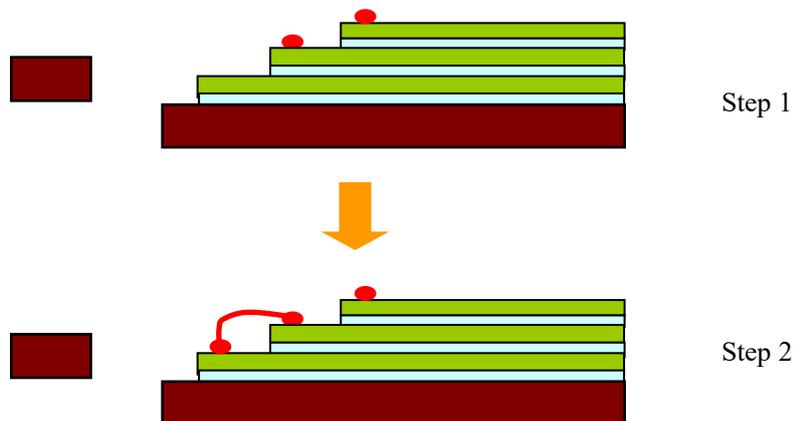


图 4-18 TSOP3+0 金丝球焊反打方式的步骤
Figure 4-18 TSOP3+0 Gold Ball Bond SSB Formation

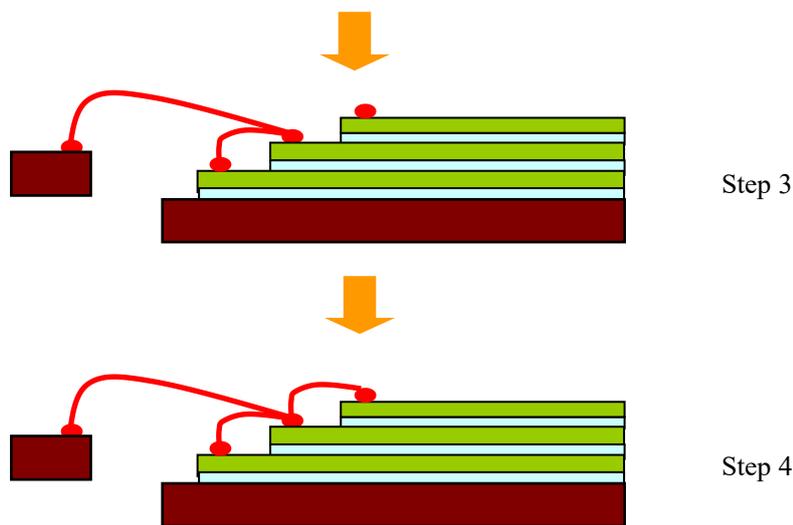


图 4-18 (续) TSOP3+0 金丝球焊反打方式的步骤
Figure 4-18(Continue) TSOP3+0 Gold Ball Bond SSB Formation Step

Step 1: 在 Die 2、Die 3 上植球(Bump)

Step 2: 用 SSB 连接 Die 1 和 Die 2

Step 3: 用 SSB 连接引脚和 Die 2

Step 4: 用 SSB 连接 Die 2 和 Die 3

在叠层芯片封装工艺中，大多数情况下都需要使用 SSB 引线键合工艺，SSB 焊接方式的成功，使得发展更高密度的封装变为现实。

4.3.4 金丝球焊正打方式与反打方式 (SSB) 的对比

如果芯片的叠层方式是阶梯状的，也可以用正向焊接方式，如下图：

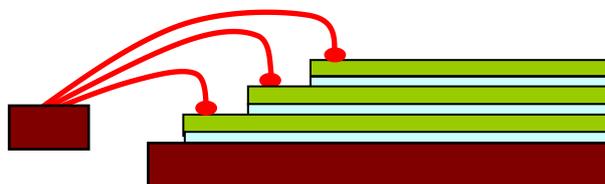


图 4-19 TSOP3+0 金丝球焊正打连接方式
Figure 4-19 TSOP3+0 Gold Ball Standard(Forward) Bond

两种方式都可以，各有优缺点：

正向金丝球焊的优点是工艺简单、速度快。但是其缺点也是很明显的，一是金线的用量比较大，二是由于引脚的强度及焊接区域有限，当同一引脚焊线超过 4 根时，由于引脚很软、工艺性能将明显降低。一般说来，如果同一引脚的焊线超过 4 根，推荐使用 SSB。

再次，如果芯片的叠加方式不是梯状而是错层，显然就只能使用 SSB 了，如图-31 的 TSOP2+1：

4.4 单芯片与叠层芯片封装技术的区别

通常，叠加多少个芯片就需要多少次贴片，除了第三种方法，其余两种均是有多层金线就需要多少次引线键合。下图的 TSOP2+1，是三层芯片叠加、两层金线，则需要三次贴片)、两次引线键合。



图 4-20 TSOP2+1
Figure 4-20 TSOP2+1

单芯片和叠层芯片封装的主要区别有：

1. 由于需要将多个芯片叠加在一起，所以传统的单芯片的封装必须进行改进以适应叠层芯片封装，需要重复贴片(D/A)以引线键合(W/B)。
2. 由于封装体的外形尺寸没有变化，为了实现多芯片叠加，则芯片的厚度就会变得很薄，通常其厚度低单芯片的 1/2。
3. 由于芯片的厚度很薄，于是这导致在前道（FOL）工艺中，用于加工单芯片的设备不再适用，实验中引进了更先进的设备。详见表-1。
4. 由于需要多次的贴片(D/A)及引线键合(W/B)，所以贴片(D/A)及引线键合(W/B)的工艺比往要复杂。
5. 最后，为了要适应多芯片封装的复杂性，另一个关键点是某些封装材料需要变更、或是引入新材料，详见表-2。

总之，要成功实现叠层芯片封装，需要采用性能更高的设备。在磨片工序，由于 DFG850 不能处理 300mm 晶圆、并且其最小磨削厚度只能达到 0.15mm，已经完全不能适应叠层芯片封装的需求。同样，传统的贴片机，ESEC 2007/2008HS, ASM AD889 等，由于不能容纳 300mm

芯片、不能加工环氧树脂薄膜，所以只能被 ESEC 2008XP、ASM AD8912 等更高一级的设备取代。引线键合工序，由于键合精度要求的提高以及需要有 SSB 焊接能力，所以，UTC1000、UTC2000 及 K&S Maxum Plus、K&S Maxum Ultra 的使用就成为必然。

第 5 章 展望

叠层芯片封装必定是封装技术发展的主流，因为它符合了封装技术发展的趋势即：大容量、高密度、多功能、低成本。和过去单芯片封装技术相比，它打破了单纯以封装类型的更替来实现大容量、高密度、多功能、低成本的限制，而且，由于叠层技术的出现，它让一些似乎已经过时的封装类型重新焕发生机。

2006 年对于 TSOP 封装来讲，是非常重要的。由于 TSOP 封装的容积率和运行速度不及 BGA 封装，这种曾经广泛应用于 DRAM 的封装类型在 DDR/DDR II 中已经消失。但是在 2005-2006 年，由于数码产品的大量普及，人们对大容量、高密度、低成本的存储卡的需求激增，它已经成了仅次于 SIP 的 NAND 存储器的封装类型。展望 2008 年，TSOP 依然会大行其道，并且，这种趋势会持续到下去。目前，单芯片容量 2G 的 TSOP 及 2 芯片容量 4G 的 TSOP 已经正式投入生产，4 芯片（8G）叠层的 TSOP 封装设计已经完成。

在 TSOP 的封装技术发展方面，由于环氧树脂膜薄及 SSB 焊接方式的引入，TSOP2+0、TSOP2+1、TSOP3+0 技术已经非常成熟。并且，在 TSOP2+0、TSOP2+1 工艺研制成功，TSOP4+0、TSOP5+0、TSOP4+3 等更高密度的封装将会相继出炉，并且在 2008 年得到大量应用，取代目前的 TSOP2+0、TSOP2+1[4]。

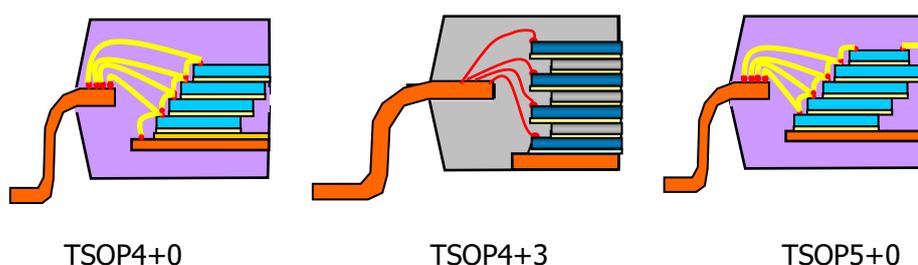


图 5-1 TSOP4+0, TSOP4+3, TSOP5+0 概念示意图
Figure 5-1 TSOP4+0, TSOP4+3, TSOP5+0 Conception

除了 TSOP4+0、TSOP5+0、TSOP4+3 等更高密度的封装将会相继投产，由于芯片面积越来越大，为了解决焊接空间的不足，一些在 SIP 封装中得到应用的新技术也将于 2007 年开始出现在 TSOP 高密度封装中。为了解决由于 SIP 的柔韧性不足的问题，TSOP SIP 也会成为另一个研究方向。

TSOP 封装的封装材料成本大概占总成本的 55%，如果采用叠层芯片封装，封装成本增加主要是金线和环氧树脂芯片粘合，因此只需要增加少量成本就能将单位封装体积上的功能及应用成倍提升，不光如此，它还带来后道工序的成本降低。

叠层芯片技术是一项非常重要的技术，它的兴起带了封装技术的一场革命。因此，TSOP 叠层芯片封装技术的研究有十分深远的历史及现实意义。